

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-079965
 (43)Date of publication of application : 30.06.1981

(51)Int.CI. G01R 31/00
 H03K 13/02

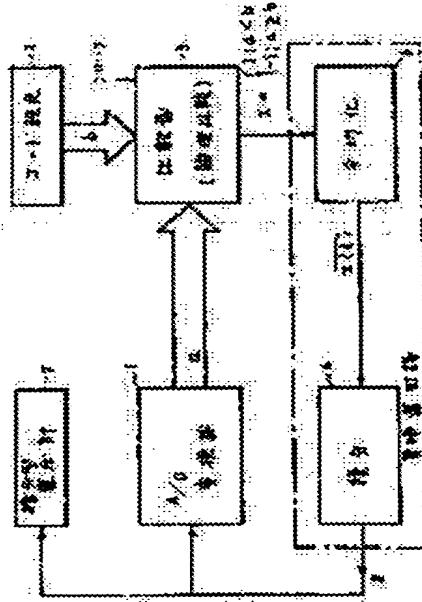
(21)Application number : 54-157854 (71)Applicant : FUJITSU LTD
 (22)Date of filing : 05.12.1979 (72)Inventor : OHATA MICHINOB
 KAJIWARA MASANORI
 MIZUSHIMA KOJI

(54) EVALUATING APPARATUS OF ANALOG-TO-DIGITAL CONVERTER

(57)Abstract:

PURPOSE: To make stable evaluation by comparing a predetermined digital value and the output of an analog-to-digital converter which is the target of evaluation, averaging the compared result outputs and increasing or decreasing analog input based on the results thereof.

CONSTITUTION: The output from an analog-to-digital converter 1 which is the target of evaluation, and the output from a code setting part 2 are compared by a comparator 3. The output from the comparator 3 is supplied to an averaging circuit 5, and the output thereof is supplied to an integral network 6. An analog value is formed by the circuit 6. This analog value is negatively fed back as the input to the converter 1. The analog input level stabilized by this negative feedback circuit is measured.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

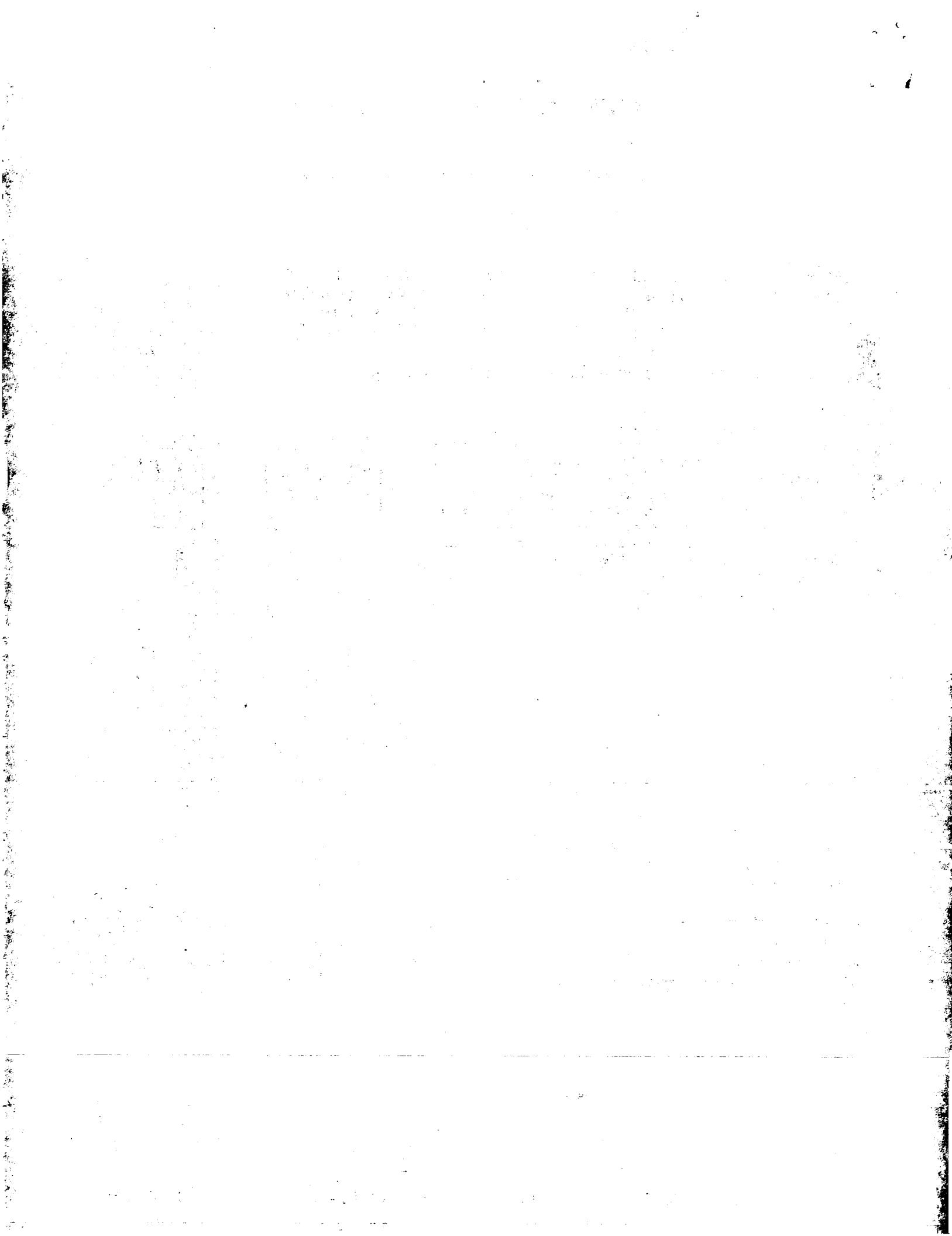
[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]



⑨ 日本国特許庁 (JP)
 ⑩ 公開特許公報 (A)

⑪ 特許出願公開
 昭56-79965

⑤Int. Cl.³
 G 01 R 31/00
 H 03 K 13/02

識別記号 厅内整理番号
 7807-2G
 8024-5J

⑬公開 昭和56年(1981)6月30日
 発明の数 1
 番査請求 未請求

(全4頁)

④アナログ・デジタル変換器評価装置
 ②特 願 昭54-157854
 ②出 願 昭54(1979)12月5日
 ②発明者 大畠道信
 川崎市中原区上小田中1015番地
 富士通株式会社内
 ②発明者 梶原正範

川崎市中原区上小田中1015番地
 富士通株式会社内
 水島幸治
 川崎市中原区上小田中1015番地
 富士通株式会社内
 ②出願人 富士通株式会社
 川崎市中原区上小田中1015番地
 ②代理人 弁理士 森田寛

明細書

1. 発明の名称 アナログ・デジタル変換器評価装置

2. 特許請求の範囲

与えられたアナログ入力に対応したデジタル出力を発生するアナログ・デジタル変換器を評価対象アナログ・デジタル変換器とし、該評価対象アナログ・デジタル変換器からのデジタル出力の少なくとも最下位ビットが変化する変化点に対応するアナログ入力レベルを測定するアナログ・デジタル変換器評価装置において、予め定められたデジタル値と上記評価対象アナログ・デジタル変換器出力とを比較する比較器、該比較器の比較結果出力を平均化しその結果により上記評価対象アナログ・デジタル変換器に対するアナログ入力を増減する負帰還回路をそなえ、該負帰還回路によって安定化された上記アナログ入力レベルを測定するようにしたことを特徴とするアナログ・デジタル変換器評価装置。

3. 発明の詳細な説明

本発明は、アナログ・デジタル変換器評価装置、特に与えられたアナログ・デジタル変換器について当該アナログ・デジタル変換器の少なくとも最も下位ビットが切換わる変化点のアナログ入力レベルを長時間の平均値を求めるこによって評価するようにしたアナログ・デジタル変換器評価装置に関するものである。
 (5-1)

一般にデジタル・アナログ変換器を評価することは比較的簡単であり、例えば予め定めたデジタル値を入力せしめてそのアナログ出力レベルを測定して平均化すれば足りる。しかし、アナログ・デジタル変換器を評価するに当っては、該アナログ・デジタル変換器からのデジタル出力が或る値から1つ上位の値($i+1$)に変化する変化点に相当するアナログ入力レベルを測定して平均化することが必要であって困難である。即ちアナログ・デジタル変換器自体の例えは増幅器の増幅度が時間と共に確率的に変化することから、上記平均値を求めてゆくことはきわめて困難である。

本発明は上記の点を解決することを目的としており、評価対象アナログ・デジタル変換器からのデジタル出力が或る値 i から $(i+1)$ に変化しました値 $(i+1)$ から i に変化する確率が例えば 50 対 50 となるアナログ入力レベルを効率よく測定すると共に、測定系を含めてヒステリシスがあつても即ち値 i から $(i+1)$ への変化点と値 $(i+1)$ から i への変化点とに差異があつても、該ヒステリシスを平滑化して測定し得るようにすることを目的としている。そしてそのために本発明のアナログ・デジタル変換器評価装置は、与えられたアナログ入力に対応したデジタル出力を発生するアナログ・デジタル変換器を評価対象アナログ・デジタル変換器とし、該評価対象アナログ・デジタル変換器からのデジタル出力の少なくとも最下位ビットが変化する変化点に対応するアナログ入力レベルを測定するアナログ・デジタル変換器評価装置において、予め定められたデジタル値と上記評価対象アナログ・デジタル変換器出力とを比較する比較器、該比較器の比較結果出力を平均化し

3

とを考える。この場合、コード設定部 2 に例えば値「010」をセットしておき、該コード設定部 2 からの出力 $v_1 (=010)$ と評価対象アナログ・デジタル変換器 1 からの出力 v_2 を比較器 3 によって比較する。
(S-2)

比較器 3 は例えば $v_2 < v_1$ のとき出力 v_3 として値「1」を発生し、 $v_2 > v_1$ のとき値「-1」を発生するよう定めておき、該比較器 3 からの出力 v_3 を平均化回路 5 に供給し、上記出力 v_3 の時間平均値 v_4 を生成する。 上記平均化回路 5 の出力は積分回路 6 に供給され、積分回路 6 によってアナログ値 v_5 が生成される。該アナログ値 v_5 が評価対象アナログ・デジタル変換器 1 の入力として負帰還される。

この結果、クロックが与えられたとき評価対象アナログ・デジタル変換器 1 の出力 v_2 が上記値「010」よりも小さい場合に比較器 3 は $v_3 = 1$ を発し、上記値「010」に等しいか大きい場合に比較器 3 は $v_3 = -1$ を発することとなる。上記出力 v_3 は平均化回路 5 によって時間平均されて出力 v_4 となり積分回路 6 に供給される。即ち評価対

特開昭56-79965(2)
その結果により上記評価対象アナログ・デジタル変換器に対するアナログ入力を増減する負帰還回路をそなえ、該負帰還回路によって安定化された上記アナログ入力レベルを測定するようにしたことを特徴としている。以下図面を参照しつつ説明する。

オ1図は本発明のアナログ・デジタル変換器評価装置の全体構成を表わす一実施例、オ2図はその動作を説明する説明図、オ3図はオ1図に示す負帰還回路をデジタル型に構成した一実施例、オ4図は同じくアナログ型に構成した他の一実施例を示す。

オ1図において、1は評価対象アナログ・デジタル変換器、2はコード設定部、3は比較器、4は負帰還回路、5は平均化回路、6は積分回路、7はアナログ・レベル測定器(積分型電圧計)を表わしている。

今、評価対象アナログ・デジタル変換器 1 のデジタル出力 v_1 が値「001」から「010」へ変化する変化点のアナログ入力 v_2 のレベルを測定するこ

4

象アナログ・デジタル変換器 1 のアナログ入力 v_2 のレベルが、上記出力 v_1 が平均的に上記値よりも小さい場合には漸次増加し、また上記出力 v_1 が平均的に上記値より等しいか大きい場合には漸次減少される。

オ2図に概念的に示す如く、上記アナログ入力 v_2 が図示値 v_1 以下の場合には出力 v_3 は明確に「001」となり、また図示値 v_2 以上の場合には出力 v_3 は明確に「010」となり、図示値 v_1 と v_2 との間にあるとき出力 v_3 は確率的に「001」となる場合と「010」となる場合とが確率関数的な形で与えられる。そして比較的長い時間を経過するとき、評価対象アナログ・デジタル変換器 1 の出力 v_1 が、 $v_2 < v_1$ である確率と $v_2 > v_1$ である確率とが等しい即ち 50 対 50 となる値 v_2 に上記アナログ入力 v_2 が近づいてゆく。この値 v_2 を積分型電圧計 7 によって測定することによって、評価対象アナログ・デジタル変換器 1 が出力「001」と出力「010」とを示す変化点の値 v_2 を測定することが可能となる。なお、この場合、入力 v_2 が値 v_2

5

—336—

6

に近づくにつれて、入力 γ は或るタイミングで $\gamma > \gamma_1$ の状態から減少して値 γ_1 に達し、また他のタイミングでは $\gamma < \gamma_1$ の状態から増大して値 γ_1 に達することを繰返す。したがって、評価対象アナログ・デジタル変換器や図示比較器 3 や負帰還回路 4 にいわゆるヒステリシスがある場合にも、該ヒステリシスの影響を受けた結果の平均値が上記積分型電圧計 7 によって測定されることとなる。即ち結果的にヒステリシスによる影響は平滑化されてしまうこととなる。

オ 3 図は、オ 1 図に示す負帰還回路 4 をデジタル型に構成した一実施例を示す。図中の符号 5, 6 はオ 1 図に対応し、8 は M ビット・アップ・ダウン・カウンタ、9 は N ビット・アップ・ダウン・カウンタ、10 は予め精度の判っているデジタル・アナログ変換器、11 はオア回路を表わしている。

M ビット・アップ・ダウン・カウンタ 8 は例えば 3 ビットである場合、プリセット値として「1 00」がプリセット入力 PRSET に対応してブ

リセットされ、クロックに同期してオ 1 図図示比較器 3 からの出力 α によって +1 あるいは -1 される。そして、「111」となっている状態で $\alpha = +1$ が入力されると、桁上げ信号 C が論理「1」となる。また「000」となっている状態で $\alpha = -1$ が入力されると、桁下げ信号 B が論理「1」となる。更に上記信号 C や B が発生されるか、測定開始信号 EX TPR が与えられると、上記 M 進のアップ・ダウン・カウンタ 8 がプリセット状態に復帰される。

N ビット・アップ・ダウン・カウンタ 9 は、上記桁上げ信号 C が与えられると +1 され、また上記桁下げ信号 B が与えられると -1 され、その結果の内容 (DATA) はデジタル・アナログ変換器 10 に供給される。言うまでもなく、当該カウンタ 9 は通常の場合桁上げや桁下げが生じない程度の十分大きいビット数をもつように選ばれる。

上記内容 DATA を供給されたデジタル・アナログ変換器 10 は当該内容に対応したアナログ値 γ を生成し、該値 γ はオ 1 図図示の如く評価対象アナログ・デジタル変換器 1 に入力される。

7

オ 4 図は、オ 1 図に示す負帰還回路 4 をアナログ型に構成した他の一実施例を示す。図中の符号 5, 6 はオ 1 図に対応し、12, 13 は抵抗、14, 15 はコンデンサ、16 は差動アンプ、17 は機械的スイッチの型で概念的に表わした切替スイッチであってオ 1 図図示出力 α の値によって切替えられるものを表わしている。

切替スイッチ 17 は、 $\alpha = 1$ の場合に平均化回路 5 に対して基準値 -VREF を入力するよう切替り、 $\alpha = -1$ の場合に基準値 +VREF を入力するよう切替る。この結果、平均化回路 5 は、繰返し与えられる入力を平均化した値を積分回路 6 に供給する。図示積分回路 6 は通常のアナログ積分回路であって、平均化出力 $\gamma(t)$ を時間積分したアナログ出力 γ をつくる。

以上説明した如く、本発明によれば、評価対象アナログ・デジタル変換器の出力がどの入力レベルによって変化するかの変化点を簡単にしかも高精度で判定することが可能となる。なお図示平均化回路に必要に応じて重み係数を導入することに

8

よって、オ 2 図図示 γ_1 から γ_2 に至るまでの間の変化状況を知ることも可能となる。

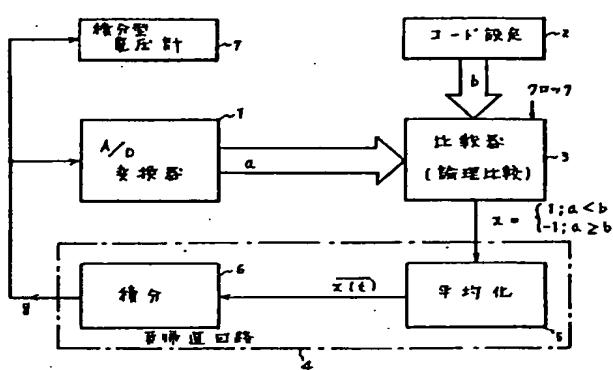
4. 図面の簡単な説明

オ 1 図は本発明のアナログ・デジタル変換器評価装置の全体構成を表わす一実施例、オ 2 図はその動作を説明する説明図、オ 3 図はオ 1 図に示す負帰還回路をデジタル型に構成した一実施例、オ 4 図は同じくアナログ型に構成した他の一実施例を示す。

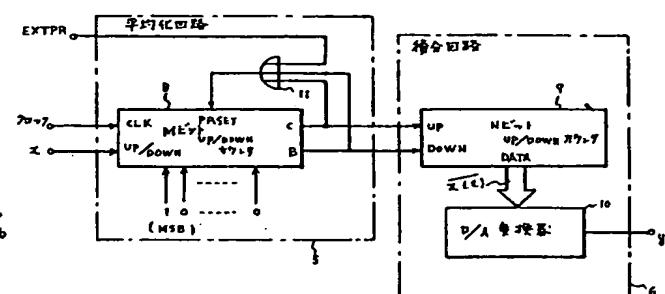
図中、1 は評価対象アナログ・デジタル変換器、2 はコード設定部、3 は比較器、4 は負帰還回路、5 は平均化回路、6 は積分回路、7 はアナログ・レベル測定器を表わす。

特許出願人 富士通株式会社
代理人弁理士 藤田 寛

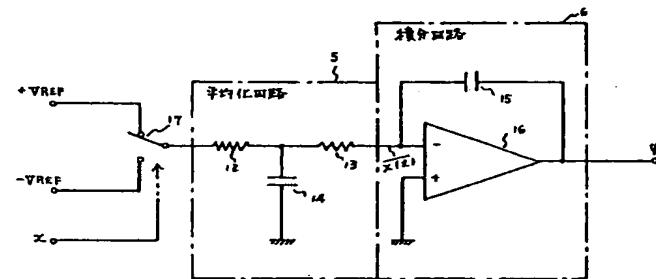
第1図



第3図



第4図



第2図

